



Conference: Congreso Interdisciplinario de Energías Renovables -  
Mantenimiento Industrial - Mecatrónica e Informática

*Booklets*



**RENIECYT**

Registro Nacional de Instituciones  
y Empresas Científicas y Tecnológicas

2015-20795

**CONACYT**

LATINDEX - Research Gate - DULCINEA - CLASE - Sudoc - HISPANA - SHERPA UNIVERSIA - E-Revistas - Google Scholar  
DOI - REBID - Mendeley - DIALNET - ROAD - ORCID

# Title: Diseño de un Registrador de Datos Usando Memorias NAND Flash Basado en un Microcontrolador de Ultrabajo Consumo

**Authors:** Dagoberto DE LEÓN GORDILLO, Cristian Micheel MEDINA  
RODRÍGUEZ, Noé Amir RODRÍGUEZ OLIVARES, Jorge Alberto  
SOTO CAJIGA

**Editorial label ECORFAN:** 607-8324  
**BCIERMIMI Control Number:** 2017-02  
**BCIERMIMI Classification (2017):** 270917-0201

**Pages:** 17  
**Mail:** [dleon@posgrado.cidesi.edu.mx](mailto:dleon@posgrado.cidesi.edu.mx)  
**RNA:** 03-2010-032610115700-14

**ECORFAN-México, S.C.**

244 – 2 Itzopan Street  
La Florida, Ecatepec Municipality  
Mexico State, 55120 Zipcode  
Phone: +52 1 55 6159 2296  
Skype: ecorfan-mexico.s.c.  
E-mail: [contacto@ecorfan.org](mailto:contacto@ecorfan.org)  
Facebook: ECORFAN-México S. C.

**Twitter:** @EcorfanC

[www.ecorfan.org](http://www.ecorfan.org)

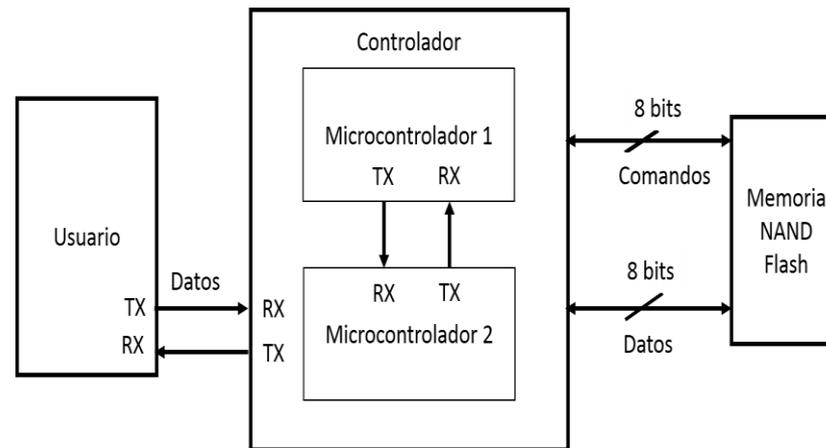
### Holdings

Bolivia	Honduras	China	Nicaragua
Cameroon	Guatemala	France	Republic of the Congo
El Salvador	Colombia	Ecuador	Dominica
<b>Peru</b>	<b>Spain</b>	<b>Cuba</b>	<b>Haití</b>
Argentina	Paraguay	Costa Rica	Venezuela
Czech Republic			

# Introducción

Un tipo de memoria no volátil y que es muy utilizada en varias aplicaciones es la memoria NAND Flash, se pueden encontrar en cámaras digitales, aplicaciones móviles, sistemas de almacenamiento no volátil, computadoras, etc. (Micheloni, Crippa, & Marelli, 2010) (Toshiba America Electronic Components, INC) (Bez, Camerlenghi, Modell, & Visconti, 2003) (Pavan, Bez, Olivo, & Zanoni, 1997) (C. Park, 2003).

Un registrador de datos o datalogger es un dispositivo muy utilizado en ingeniería para almacenar datos provenientes de sensores. Los componentes básicos de un datalogger son: una unidad de almacenamiento masivo y una unidad de control, comúnmente un microcontrolador.



# Introducción

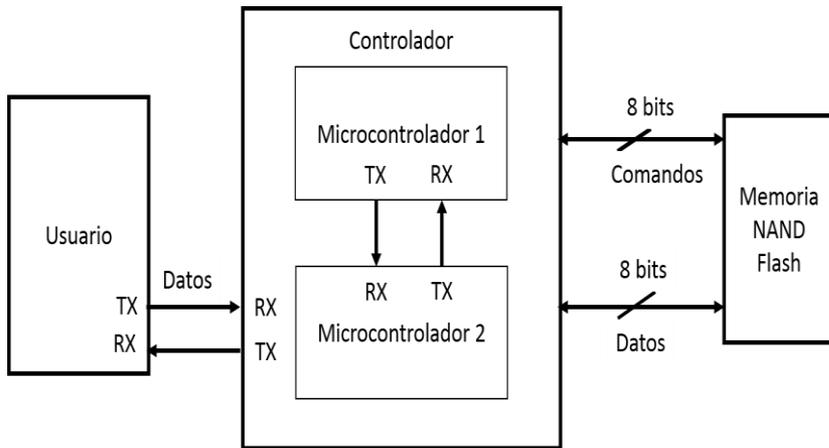
Las contribuciones del presente trabajo se resumen en los siguientes puntos:

- Utilización de un solo microcontrolador con operaciones de acceso directo a la memoria DMA utilizando el protocolo UART (Universal Asynchronous Receiver Transmitter por sus siglas en inglés).
- El microcontrolador utiliza el modo de bajo consumo en un 70 % del tiempo de operación para operación de escritura de memoria.
- El datalogger utiliza un código ECC tipo Hamming (255,247) que permite corregir 64 bits erróneos en una página de 2040 bytes siempre que exista un solo error por cada 255 bis de código.

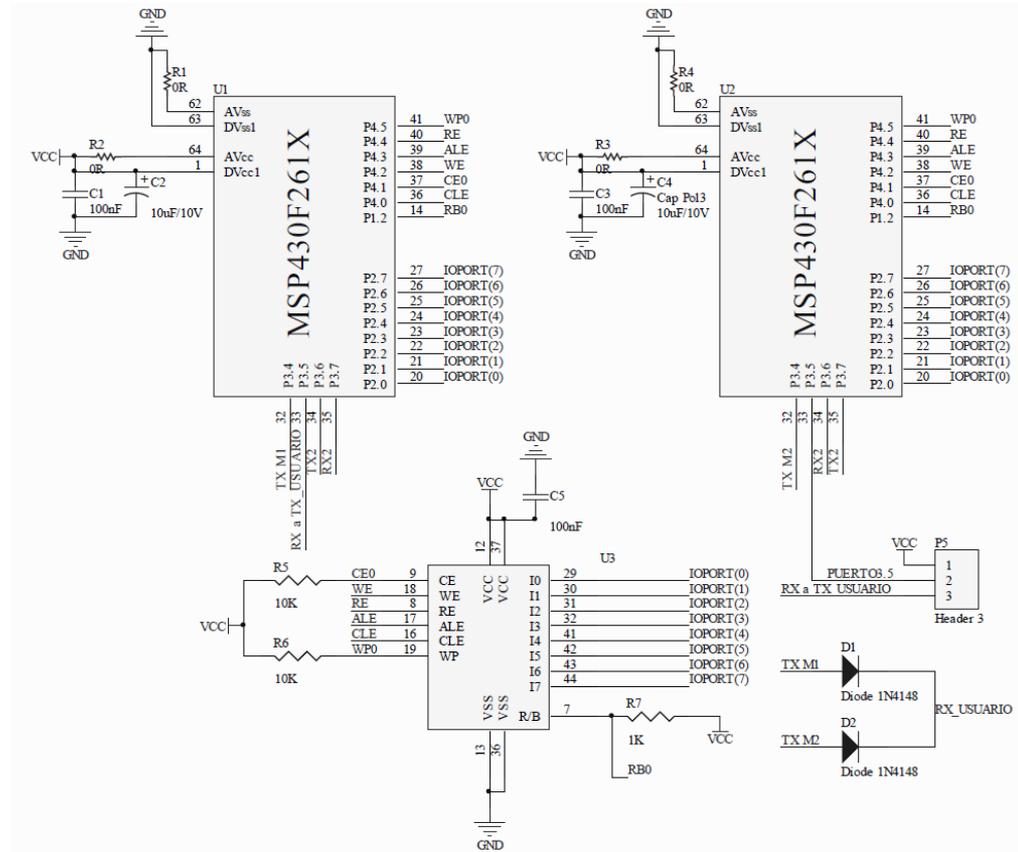
# Estado del arte

Características	Rivera Fárez	Ibrahim	Mahzan et al.	Kobsar, et al.	Febrian et al.	Medina Rodríguez et al.	Propuesto
Aplicación	General	GPS	-	Biomecánica	IOT	General	General
Capacidad	64 KB	-	7.2 GB	>2 GB	2 GB	Hasta 8 GB	Hasta 8 GB
Velocidad de almacenamiento	-	600 B/s	4 B/s	1.46 KB/s	5.35 KB/s	44 KB/s	44 KB/s
Número de microcontroladores	1	1	1	1	1	2	1
Unidad de almacenamiento	EEPROM	SD	2 SD	SD	MMC y SD	NAND Flash	NAND Flash
ECC	-	-	-	-	-	-	Hamming (255,247)
Año	2010	2010	2013	2014	2016	2016	2017

# Antecedentes



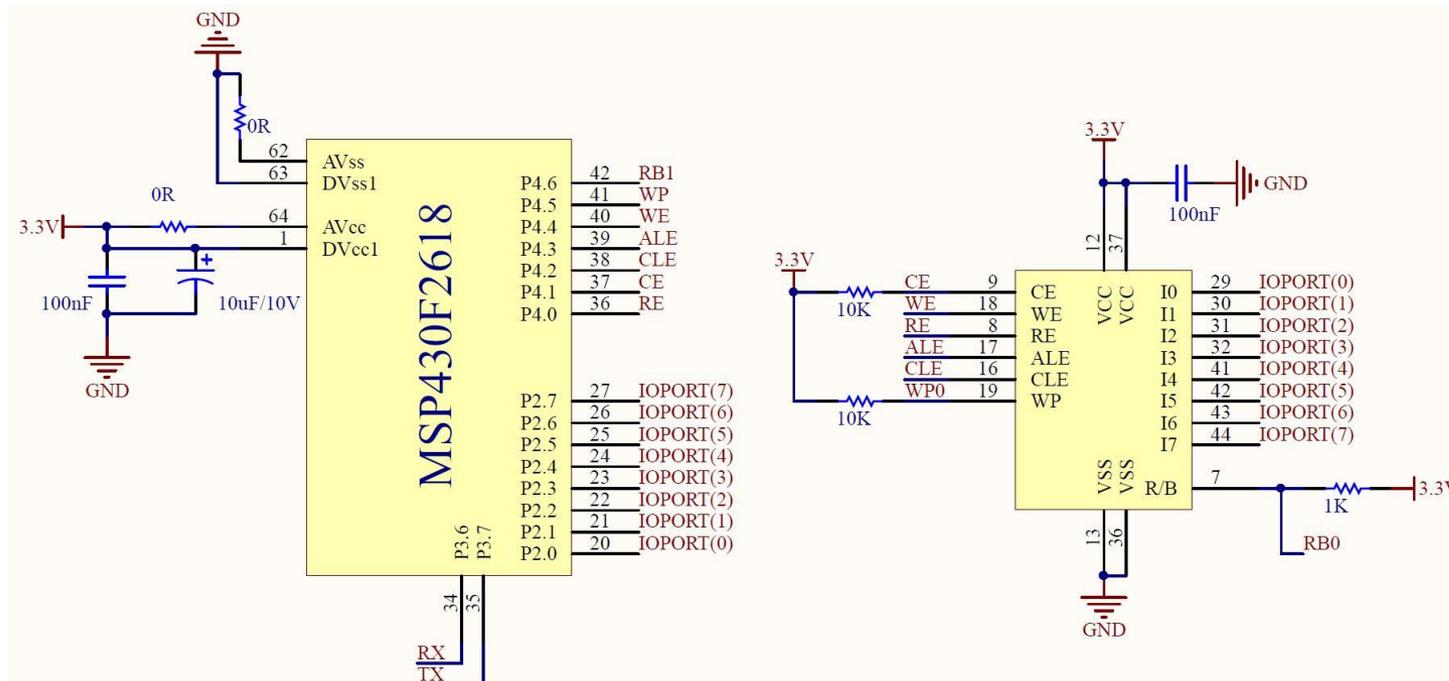
Arquitectura de controlador multi-maestro anterior



Circuito general de datalogger con dos microcontroladores

# Arquitectura del datalogger

La figura muestra el diagrama esquemático del datalogger con un solo microcontrolador y con una memoria NAND Flash.



# Arquitectura del datalogger

## Control DMA

El módulo de control DMA transfiere datos de una dirección a otra sin la intervención del CPU. El uso del módulo DMA incrementa el rendimiento de los módulos periféricos. Y también permite que el CPU permanezca en modo de bajo consumo hasta que exista una interrupción externa por parte del periférico.

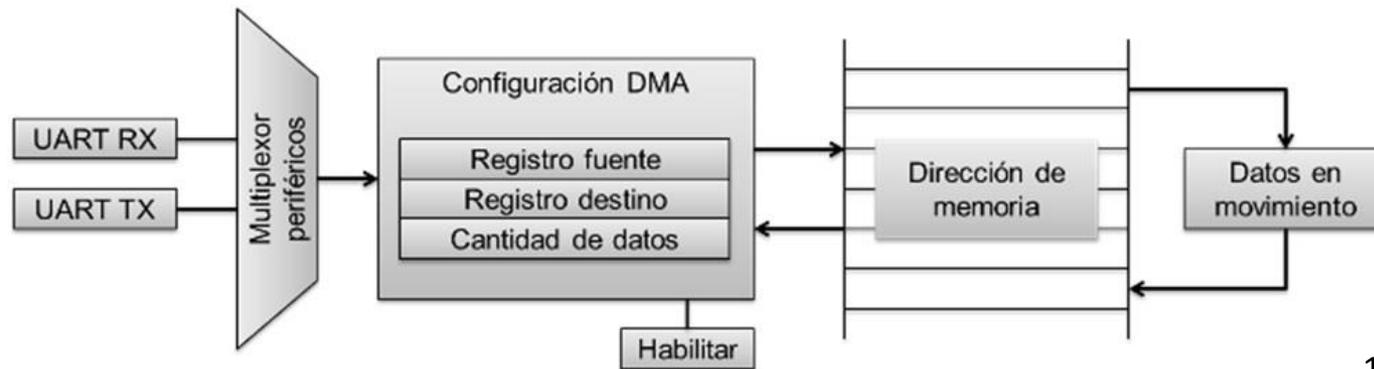


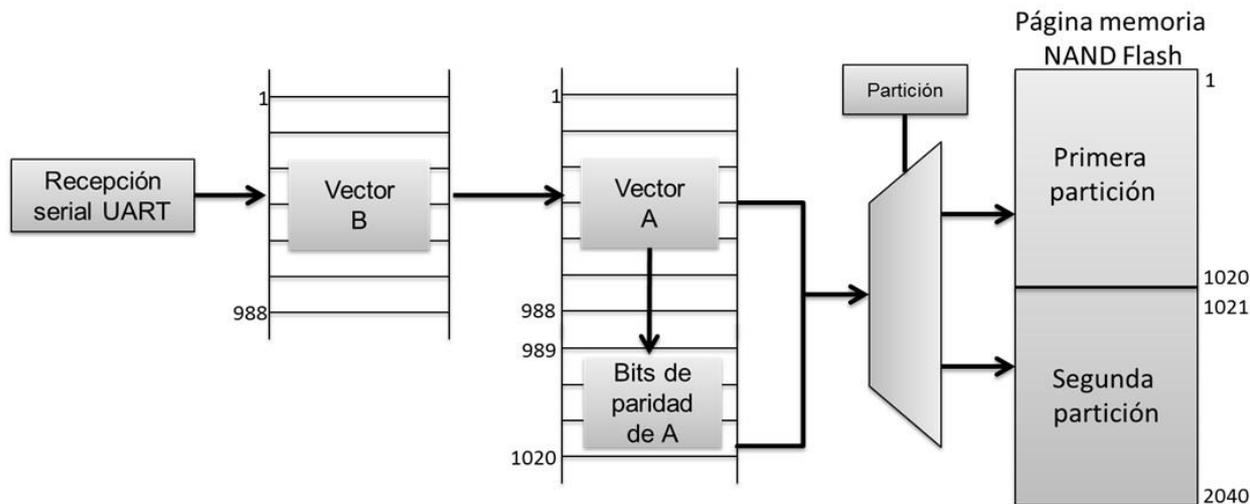
Diagrama de bloques DMA

Cantidad de datos:  
1020 bytes (247 x 4 bytes de  
mensaje + 8 x 4 bytes de  
paridad)

# Arquitectura del datalogger

## Escritura de página

La figura muestra el diagrama de bloques de la lógica interna del *datalogger* para la operación de escritura de memoria. La recepción por UART lo realiza de forma continua. El tiempo de transferencia del vector B al A se realiza más rápido que la recepción por lo que no existe pérdidas de información.



Vector B tiene una capacidad de 988 bytes.  
 Vector A tiene una capacidad de 1020 bytes.  
 La cantidad de bytes de paridad son 32

Diagrama de bloques de *datalogger* para escritura de página

# Arquitectura del datalogger

## Lectura de página

La figura muestra el diagrama de bloques de la lógica interna del *datalogger* para la operación de lectura de memoria. Sin errores, el tiempo de transferencia por UART es mayor que el tiempo de lectura + corrección de errores de la memoria.

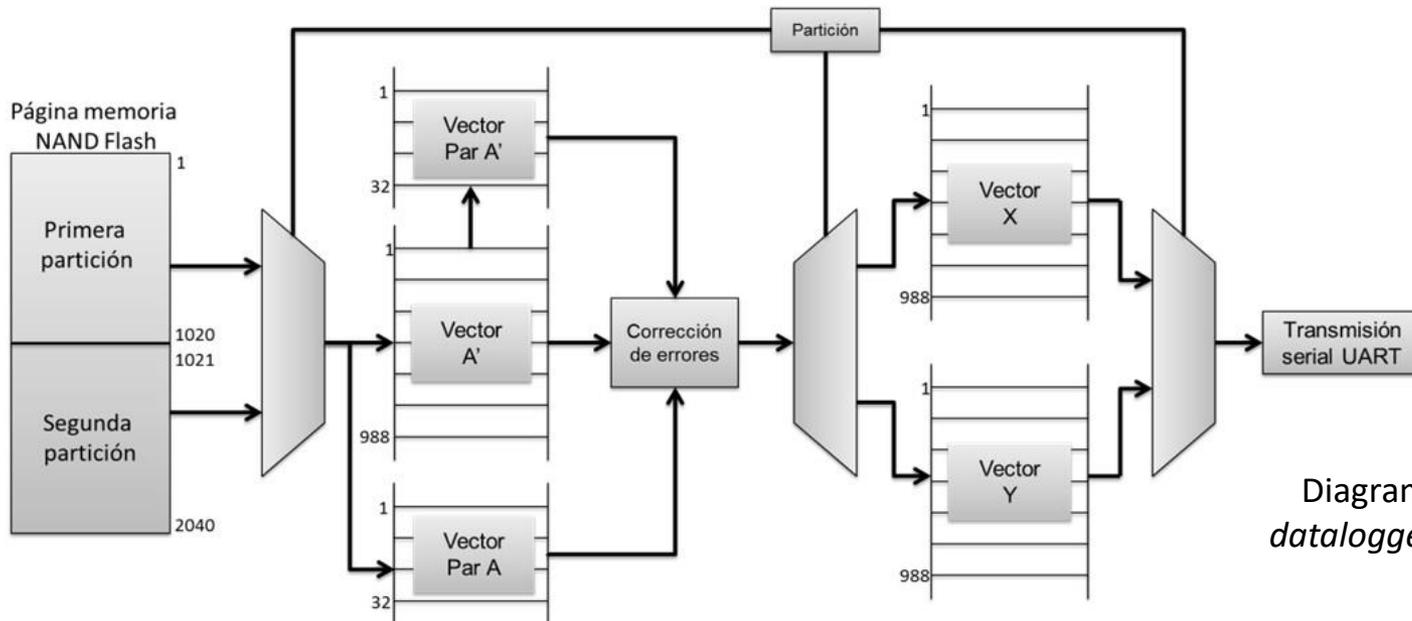
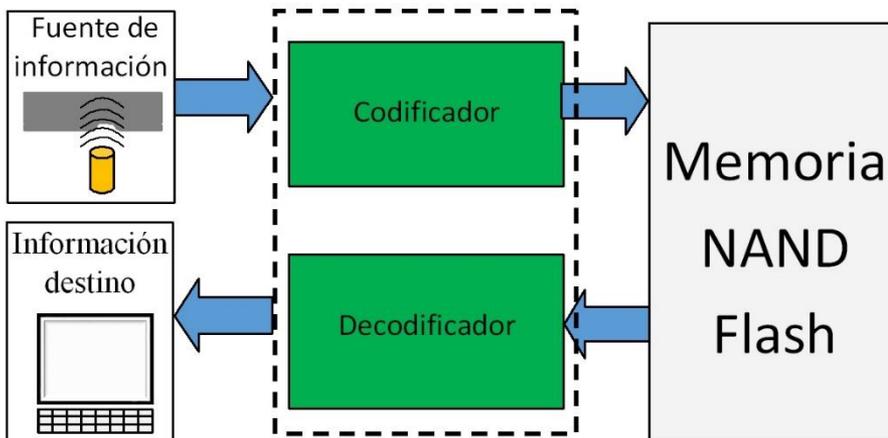


Diagrama de bloques de *datalogger* para escritura de página

# Arquitectura del datalogger

## Módulo Hamming (255,247)

En el sistema de codificación y decodificación de mensajes para la memoria NAND Flash del presente trabajo, la fuente de información como la información destino se realiza con protocolo UART.



Sistema de codificación y decodificación de mensajes para una memoria NAND Flash

mensaje	Posición						
	1	2	3	4	5	6	7
	u1	u2	m1	u3	m2	m3	m4
1110	-	-	1	-	1	1	0

Ejemplo de estructura de una palabra código de Hamming

	Posición						
	1	2	3	4	5	6	7
	u1	u2	m1	u3	m2	m3	m4
u1			1		0	1	1
u1	1		1		0	1	1
u2		1	1		0	1	1
u3				0	0	1	1

Ejemplo de construcción de un código Hamming (7,4)

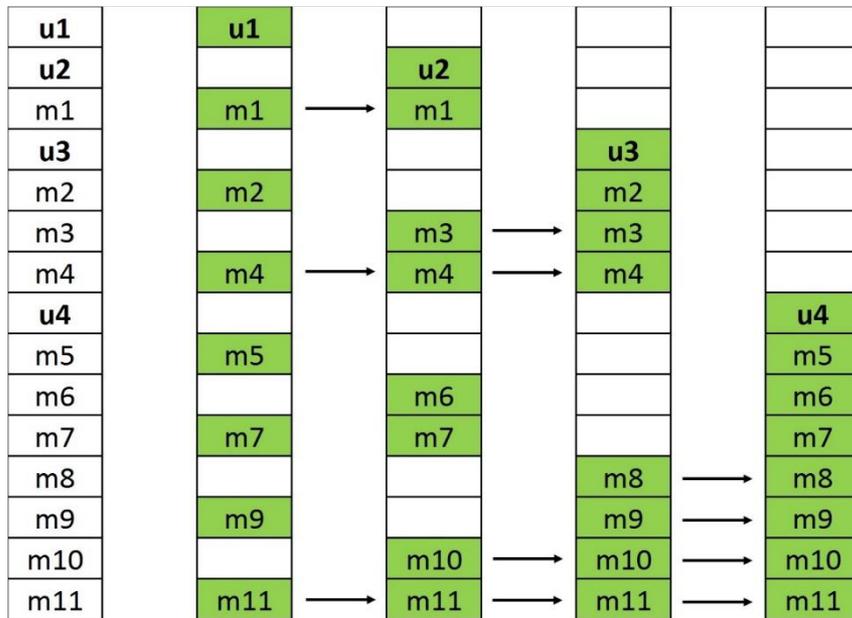
$$u1 = m1 \oplus m2 \oplus m4$$

$$u2 = m1 \oplus m3 \oplus m4$$

$$u3 = m2 \oplus m3 \oplus m4$$

# Arquitectura del datalogger

## Implementación del Módulo Hamming



Método para encontrar bits de paridad Hamming de forma optimizada

Los datos y bits de paridad almacenados en memoria son utilizados para corregir errores por medio del módulo Hamming y operaciones tipo xor.

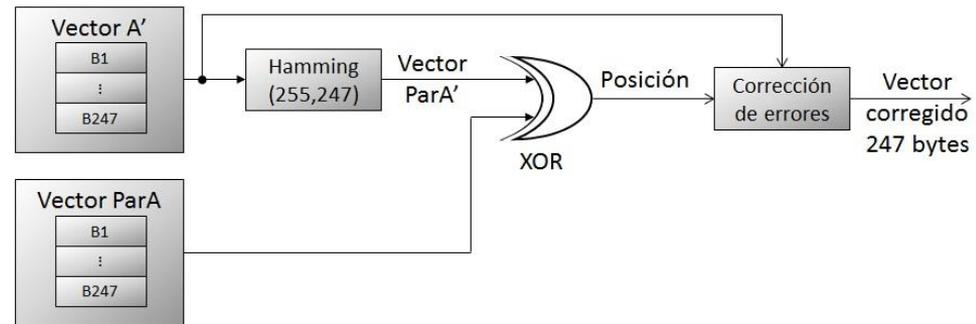


Diagrama de bloques para decodificación Hamming

# Arquitectura del datalogger

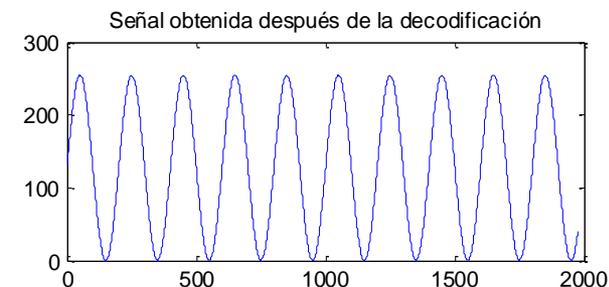
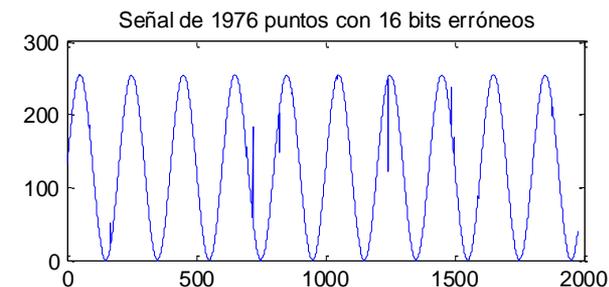
## Evaluación del módulo Hamming

Para evaluar la corrección de errores, se generaron 1, 2, 4, 8, 16, 32 y 64 errores de forma aleatoria y obligando a que en cada código (n,k) existiera a lo mucho un error.

Ejemplo de 16 errores en una página

		B0	B1	B2	B3	B4	B5	B6	B7			B0	B1	B2	B3	B4	B5	B6	B7
C0	✓	✓	✓	✓	✓	✓	✓	✓	✓	C0	0	0	0	94	0	176	0	0	
C1	✓	✓	✓	✓	✓	✓	✓	✓	✓	C1	0	0	0	0	0	0	0	0	
C2	✓	✓	✓	✓	✓	✓	✓	✓	✓	C2	0	0	0	0	206	0	0	233	
C3	✓	✓	✓	✓	✓	✓	✓	✓	✓	C3	153	78	139	0	0	0	89	0	
C4	✓	✓	✓	✓	✓	✓	✓	✓	✓	C4	0	0	62	0	0	0	0	0	
C5	✓	✓	✓	✓	✓	✓	✓	✓	✓	C5	0	0	0	0	0	0	0	10	
C6	✓	✓	✓	✓	✓	✓	✓	✓	✓	C6	0	0	0	116	0	21	10	0	
C7	✓	✓	✓	✓	✓	✓	✓	✓	✓	C7	31	18	0	0	155	0	0	0	

Ejemplo de generación aleatoria de 16 errores



Comparación de la señal con errores enviada y la señal corregida

# Resultados

## Lectura y escritura de memoria

### Escritura de memoria

Operación	Tiempos (ms)
Traspaso del vector B a A	2.626
Codificación	6.438
Escritura de NAND Flash	3.374
LPM	30.374
Recepción de datos (RX)	43.03

Resumen de tiempos para escritura de memoria NAND Flash

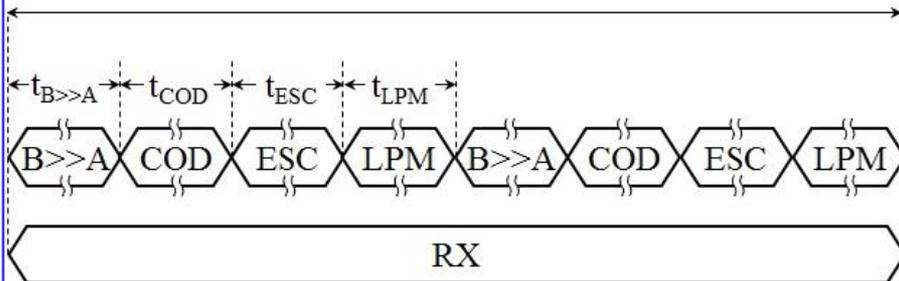


Diagrama de tiempo para escritura de una página en memoria NAND Flash

### Lectura de memoria

Operación	Tiempos (ms)
Lectura de NAND Flash	13.1
Decodificación	6.5
Traspaso a vectores X y Y	2.6
LPM	20.3
Envío a usuario	42.85

Resumen de tiempos de lectura de memoria NAND Flash para una página

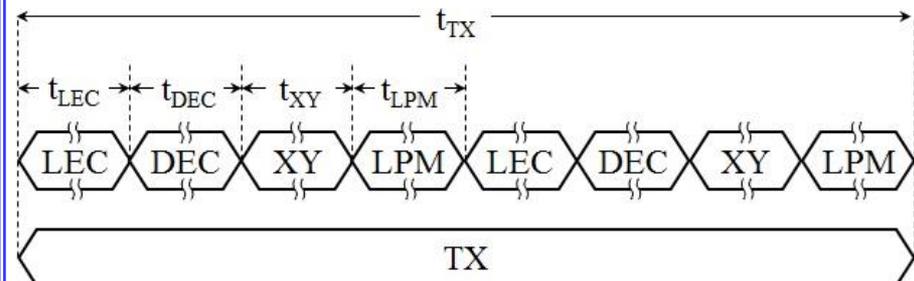
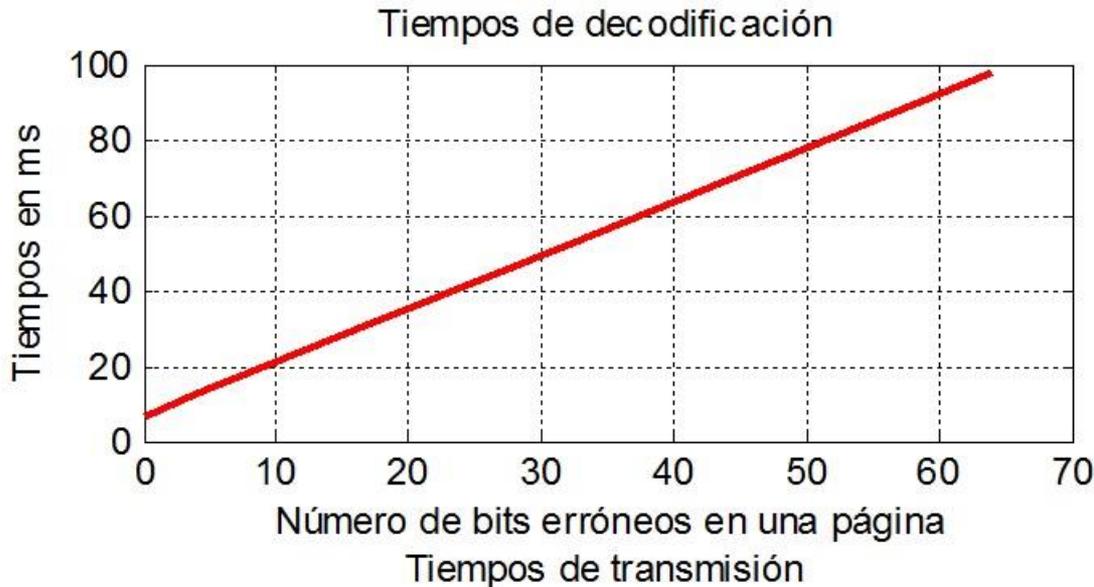


Diagrama de tiempos para lectura de una página en memoria NAND Flash

# Resultados

## Corrección de errores



En la figura se muestra el tiempo de decodificación en función de los bits erróneos.

En caso de que una página contenga más de un bit erróneo, el algoritmo puede detectar e intentar corregir pero no garantiza la corrección.

La caracterización del tiempo de decodificación podría apoyar a predecir la degradación de la memoria.

$$t = \begin{cases} 43.5 & [ms] \text{ si } be \leq 14 \\ 1.4 * be + 50.435 & [ms] \text{ si } be > 14, be \in \mathbb{N} \end{cases}$$

# Conclusiones

Las ventajas que presenta la arquitectura del datalogger:

- La sustitución de un microcontrolador por operaciones de DMA, esto tiene como resultado el uso de un solo microcontrolador.
- La implementación de códigos de corrección de errores, el cual puede corregir un error por cada 255 bits.

Para una página se garantiza la corrección de 64 bits erróneos siempre y cuando un código de 247 bits tenga máximo un error.

En caso de tener dos errores, puede detectar, intentar corregir, pero no se garantiza la corrección.

Para la decodificación, en caso de que una página tenga más de 14 bits erróneos, el tiempo de transmisión al usuario se incrementa.

# Agradecimientos

- ASA-CONACYT (proyecto número 242864)
- CIDESI
- UTEQ
- CIERMMI 2017

# Bibliografía

- Bez, R., Camerlenghi, E., Modell, A., & Visconti, A. (2003). Introduction to Flash memory. *Proceeding of the IEEE*.
- C. Park, J. S. (2003). Cost-efficient memory architecture design NAND Flash memory embedded systems. *International Conf. on Computer design*.
- Febrian, H., Hilwadi, H., Desta, Y., & Muhammad, A. T. (2016). Design and Implementation of Data Logger Using Lossless Data Compression Method for Internet of Things. *IEEE 6th International Conference on System Engineering and Technology(ICSET)*.
- Ibrahim, D. (2010). Design of a GPS data logger device with street-level map interface. *Advances in Engineering Software*, 859.
- Jiang, Y. (2010). *A Practical Guide to Error-Control Coding Using MATLAB®*. Norwood, MA: Artech House.
- Jiménez, L. A. (2016). *Diseño y desarrollo de arquitectura para la detección y corrección de errores en un arreglo RAID-6 para un controlador de memorias NAND-Flash*. Querétaro: CIDESI.
- Kobsar, D., Chad, O., Paranjape, R., Hadjistavropoulos, T., & Barden, J. (2014). Evaluation of age-related differences in the stride-to-stride fluctuations, regularity and symmetry of gait using a waist-mounted tri-axial accelerometer. *Gait & posture*, 553-557.
- M. N.N., O. A. (2013). Design of Data Logger with Multiple SD Cards,» Clean Energy and Technology (CEAT). *2013 IEEE*, 175-180.
- Medina Rodríguez, C. M., De León Gordillo, D., Rodríguez, N. A., G. Hernández, A., & Soto-Cajiga, J. A. (2016). Design of a data logger using a NAND Flash memory with a parallel architecture based on ultra-low power microcontroller. *Congreso Internacional sobre Innovación y Desarrollo Tecnológico*.

# Bibliografía

Michelsoni, R., Crippa, L., & Marelli, A. (2010). *Inside NAND Flash Memories*. Agrate Brianza: Springer.

N.N., M., A.M., O., S.Z., M. N., & M.Z., M. R. (2013). Design of Data Logger with Multiple SD Cards,» *Clean Energy and Technology (CEAT)*. 2013 *IEEE*, 175-180.

Nisha, K., & Umesh, C. P. (2015). Multi Channel Data Acquisition and Data Logging System for Meteorology Application. *Smart Technologies and Management for Computing, Communication, Controls, Energy and Materials (ICSTM)*, 220-225.

Pavan, P., Bez, R., Olivo, P., & Zanoni, E. (1997). *Flash memory cells - an Overview*.

Rajesh, L., Gao, R., & Krishnamurthy, S. (2003). Design and realization of a portable data logger for physiological sensing. *IEEE Transactions on Instrumentation and Measurement*, 1289-1295.

Rivera Fárez, J. L. (2010). Diseño e implementación de un módulo datalogger para registro de datos obtenidos de variables analógicas y/o digitales mediante el módulo USB del PIC18F2550 y el software labview para comunicación con un PC.

Toshiba America Electronic Components, INC. (s.f.). *NAND vs. NOR Flash Memory*.



**ECORFAN®**

**© ECORFAN-Mexico, S.C.**

No part of this document covered by the Federal Copyright Law may be reproduced, transmitted or used in any form or medium, whether graphic, electronic or mechanical, including but not limited to the following: Citations in articles and comments Bibliographical, compilation of radio or electronic journalistic data. For the effects of articles 13, 162,163 fraction I, 164 fraction I, 168, 169,209 fraction III and other relative of the Federal Law of Copyright. Violations: Be forced to prosecute under Mexican copyright law. The use of general descriptive names, registered names, trademarks, in this publication do not imply, uniformly in the absence of a specific statement, that such names are exempt from the relevant protector in laws and regulations of Mexico and therefore free for General use of the international scientific community. BCIERMIMI is part of the media of ECORFAN-Mexico, S.C., E: 94-443.F: 008- ([www.ecorfan.org/](http://www.ecorfan.org/) booklets)